

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-008039

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

H01L 21/3205
H01L 21/304

(21)Application number : 07-158835

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 26.06.1995

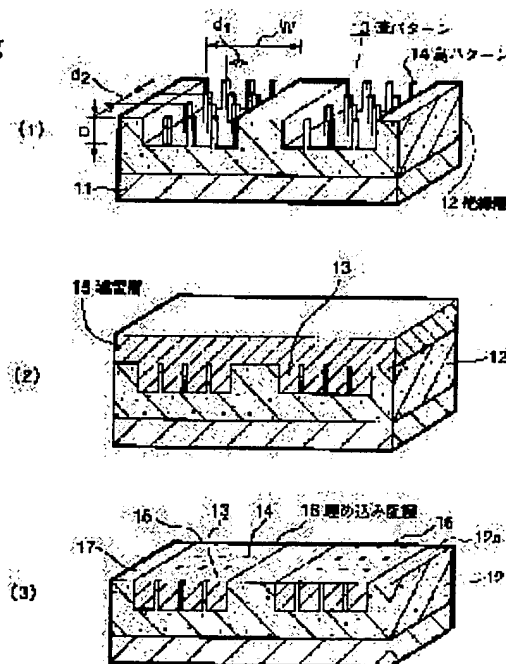
(72)Inventor : ABE KAZUhide

(54) FORMATION OF BURIED WIRING AND BURIED WIRING

(57)Abstract:

PURPOSE: To provide a formation method of a buried wiring which can ensure flatness of a polishing surface and a buried wiring.

CONSTITUTION: An insulation layer 12 is etched for forming a groove pattern 13 in the insulation layer 12 and an island pattern 14 which is formed of the insulation layer 12 and is almost as high as the layer 12 inside the groove pattern 13 at a fixed interval. A conductive layer 15 is formed on the insulation layer 12 to bury the inside of the groove pattern 13. The conductive layer 15 is polished by chemical and mechanical polishing until the insulation layer 12 is exposed and a buried wiring 15 composed of the conductive layer 15 is formed inside the groove pattern 13. Thereby, the conductive layer 15 is chemically and mechanically polished making an opening width of the groove pattern 13 partially narrow and a buried wiring 16 wherein dishing phenomenon is prevented is formed.



LEGAL STATUS

[Date of request for examination] 23.02.2001

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-00041

[Date of requesting appeal against examiner's decision of rejection] 06.01.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-8039

(43) 公開日 平成9年(1997)1月10日

(51) Int. Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/3205			H 0 1 L 21/88	K
21/304	3 2 1		21/304	3 2 1 S
				3 2 1 M
			21/88	B

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平7-159335

(22) 出願日 平成7年(1995)6月26日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 阿部 一英

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 埋め込み配線の形成方法及び埋め込み配線

(57) 【要約】

【目的】 研磨表面の平坦化を確保できる埋め込み配線の形成方法及び埋め込み配線を提供する。

【構成】 絶縁層12をエッチングすることによって、絶縁層12に溝パターン13を形成すると共に絶縁層12からなり絶縁層12とほぼ同じ高さに達する島パターン14を溝パターン13内に所定間隔で形成する。溝パターン13内を埋め込み状態で、絶縁層12上に導電層15を成膜する。絶縁層12が露出するまで導電層15を化学的機械研磨によって研磨し、溝パターン13内に導電層15からなる埋め込み配線15を形成する。これによって、溝パターン14の開口幅を部分的に狭くした状態で導電層15の化学的機械研磨を行い、ディッシング現象を防止した埋め込み配線16の形成が行われる。

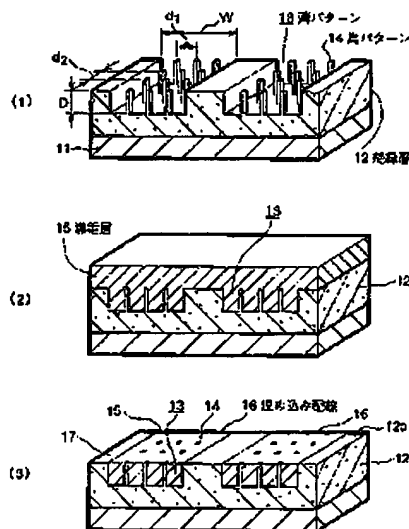


図1実施例を説明する第1図

(2)

特開平9-8039

1

【特許請求の範囲】

【請求項1】 絶縁層をエッチングすることによって、当該絶縁層に溝パターンを形成すると共に当該絶縁層からなり当該絶縁層とほぼ同じ高さに達する島パターンを当該溝パターン内に所定間隔で形成する工程と、前記溝パターン内を埋め込む状態で、前記絶縁層上に導電層を成膜する工程と、前記絶縁層が露出するまで前記導電層を化学的機械研磨によって研磨し、前記溝パターン内に当該導電層からなる埋め込み配線を形成する工程と、を行うことを特徴とする埋め込み配線の形成方法。

【請求項2】 絶縁層に形成された溝パターンと、当該溝パターン内に形成された埋め込み配線において、前記埋め込み配線内には、前記溝パターンの底面から前記絶縁層の上面高さに達すると共に当該絶縁層と同様の材質からなる島パターンが所定間隔で配置されていることを特徴とする埋め込み配線。

【請求項3】 請求項2記載の埋め込み配線において、前記島パターンは、前記溝パターンの短手方向に配置される各島パターンが長手方向に重なりを持って配置されていることを特徴とする埋め込み配線。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、埋め込み配線の形成方法及び埋め込み配線に関し、特に半導体装置に用いられる埋め込み配線の形成方法及び埋め込み配線に関する。

【0002】

【従来の技術】 近年、半導体装置の製造工程では、化学的機械研磨（Chemical Mechanical Polishing; 以下、CMPと記す）法を用いて埋め込み配線を形成する方法の開発が進められている。この方法では、まず、絶縁膜に形成した溝パターン内を埋め込む状態で絶縁膜上に導電層を成膜した後、CMP法によって絶縁膜上面が露出するまで上記導電層を研磨する。この研磨によって、溝パターン内にのみ残った導電層を配線とする。この方法では、腐食性のエッチングガスを用いることなくかつ基板温度を上昇させることなく導電層のパターニングを行うことができるため、配線の信頼性を向上させることが可能になると共に、近年配線材料として注目されている銅のパターン加工が容易になる。

【0003】

【発明が解決しようとする課題】 しかし、上記半導体装置の製造方法では、CMP法における研磨の終点検出方法が確立されていないため、研磨時間を多めに設定して絶縁膜上の導電層を完全に除去するようにしている。このため、絶縁膜に形成した溝パターン内の導電層にまで研磨が達する。このように、溝パターン内にまで研磨が達した場合には、溝パターンの開口幅に依存して導電層の研磨が多く進むいわゆるディッシング現象が生じる

2

ため、埋め込み配線の上面に窪みが形成される。このディッシングによる窪みは、 $10\mu\text{m}$ 以上の配線幅の埋め込み配線では 150nm 以上の深さになる。したがって、研磨表面を平坦化することができない。

【0004】そして、例えば上記研磨表面上に層間絶縁膜を成膜すると、この層間絶縁膜の表面に研磨表面の窪み形状が現れる。このような表面形状の層間絶縁膜に、上記と同様の手順でCMP法を用いて上層埋め込み配線を形成すると、層間絶縁膜に形成した溝パターン内の他に上記窪み形状内にも導電層が残る。そして、溝パターン内の導電層すなわち上層埋め込み配線間に上記窪み形状が位置する場合、この窪み形状内に残った導電層によって上層埋め込み配線間がショートしてしまう。したがって、多層配線構造の信頼性を確保することが困難になる。

【0005】

【課題を解決するための手段】 上記の課題を解決するための本発明の埋め込み配線の形成方法は、絶縁層をエッチングすることによって当該絶縁層に溝パターンを形成する際、当該溝パターン内に所定間隔で当該絶縁層からなる島パターンを形成する。その後、絶縁層上に成膜した導電層を化学的機械研磨によって研磨して溝パターン内に導電層からなる埋め込み配線を形成することを特徴としている。

【0006】また、本発明の埋め込み配線は、埋め込み配線内に、この溝パターンの底面から絶縁層の上面高さに達すると共に当該絶縁層と同様の材質からなる島パターンを所定間隔で配置してなることを特徴としている。

【0007】

【作用】 上記埋め込み配線の形成方法では、絶縁層に溝パターンを形成する際に当該溝パターン内に当該絶縁層からなる島パターンを形成することによって、部分的な開口幅が狭い溝パターンが形成される。このため、絶縁層上の導電層を化学的機械研磨する際には、研磨が当該絶縁層にまで達した後に、開口幅が広い溝パターン内の導電層が絶縁層よりも速く研磨されるディッシング現象が防止され、埋め込み配線の表面が平坦化される。

【0008】また、上記埋め込み配線の内部には、溝パターンの底面から絶縁層の上面高さに達する絶縁層と同様の材質の島パターンが配置されていることから、溝パターンの部分的な開口幅が狭くなる。このため、当該埋め込み配線は、開口幅が広い溝パターン内の導電層が絶縁層よりも速く研磨されるディッシング現象を防止した化学的機械研磨によって形成されたものになる。

【0009】

【実施例】 以下、本発明の実施例を図面に基づいて説明する。図1(1)～(3)は、本発明の請求項1記載の埋め込み配線の形成方法を示す要部断面図であり、特に図1(3)は請求項2記載の埋め込み配線の一例を示す要部断面図である。ここでは、これらの図を用いて、請

(3)

特開平9-8039

3

求項2記載の埋め込み配線を形成する方法を第1実施例として説明する。

【0010】先ず、図1(1)に示す第1工程では、例えば、シリコンのような半導体からなる基板11上に絶縁層12を成膜する。この絶縁層12としては、酸化シリコン系の膜、窒化シリコン系の膜またはその他の絶縁性材料で構成される膜が用いられ、ここでは酸化シリコン膜を用いることとする。次いで、リソグラフィ法によって、ここでは図示しないレジストパターンを絶縁層12上に形成する。その後、このレジストパターンをマスクにしたエッチングによって、絶縁層12に溝パターン13を形成すると共に、溝パターン13内に絶縁層12からなる複数の島パターン14を残す。

【0011】上記溝パターン13は、パッド部分や配線部分を含む埋め込み配線形成用のものであり、例えば開口幅 $W=1.0\mu\text{m}$ 、深さ $D=0.35\mu\text{m}$ で形成する。そして、上記島パターン14は、例えば上面が $0.3\mu\text{m}\times 0.3\mu\text{m}$ の広さの正方形であり、長手方向及び短手方向に隣接する島パターン14間及び溝パターン13の側壁との間に、所定間隔 d_1, d_2 で規則正しく配置される。

【0012】ここで図2には、上記溝パターン内の埋め込み配線と絶縁層とをCMP法によって研磨する際の、溝パターンの開口幅とディッシング現象によって溝パターン内の導電層表面に生じる窪みの深さとの関係を示す。このグラフから、溝パターンの開口幅が $1\mu\text{m}$ 以下の範囲では当該溝パターン内の埋め込み配線にはディッシング現象による窪みが生じないことがわかる。このため、図1(1)に示した各島パターン14間の間隔を $d_1, d_2=0.71\mu\text{m}$ に設定し、各島パターン14間が $1\mu\text{m}$ 以下になるようにする。但し、簡略化のため図面上では溝パターン13の短手方向に3列の島パターンを配列した状態を示したが、短手方向には13列の島パターンが配列されることになる。尚、島パターン14の上面の形状及び上面積は限定されるものではない。また、島パターン14の配置間隔も、後の工程で行われる導電層の研磨量によって、溝パターン13内の導電層にディッシング現象による窪みが生じない間隔であれば、上記に限定される値ではない。

【0013】次に、溝パターン13の内壁及び島パターン14の露出表面を含む絶縁層12の上面に、ここでは図示しない下地層を成膜する。この下地層は、次の工程で成膜する導電層と絶縁層12との密着層及び拡散防止層になる材質を用いることとし、上記導電層として例えば銅を用いる場合には、上記下地層には、例えばCVD法によって 30nm の膜厚に成膜した窒化チタン膜を用いる。

【0014】次に、図1(2)に示す第2工程では、溝パターン13内を埋め込む状態で、絶縁層12上に導電層15を成膜する。導電層15としては、アルミニウ

4

ム、銅、不純物を拡散させたポリシリコン等が用いられ、ここでは銅を用いることとする。この場合、スパッタ法によって $0.4\mu\text{m}$ の膜厚で銅からなる導電層15を成膜した後、ここで用いたスパッタ装置内の真空を破壊することなく 450°C の温度で30分間の熱処理を行う。これによって、導電層15を溝パターン13内にフローさせて当該導電層15の表面を平坦化する。

【0015】その後、図1(3)に示す第3工程では、絶縁層12の上面が露出するまでCMP法によって導電層15を上面から研磨する。ここでは、絶縁層12上面の導電層15及び上記下地層が完全に除去されるまで導電層15及び当該下地層を研磨して溝パターン13内にのみ導電層15を残す。これによって、導電層15からなる埋め込み配線16が形成される。この埋め込み配線16は、溝パターン13の底面から絶縁層12の上面高さに達すると共に絶縁層12と同様の材質からなる島パターン14が所定間隔 d_1, d_2 で配置されたものになる。

【0016】上記埋め込み配線の形成方法では、島パターン14の配置間隔を上記のように設定したことによって、溝パターン13の部分的な開口幅が $1\mu\text{m}$ 以下になり、溝パターン13内の導電層15すなわち埋め込み配線16にディッシング現象を発生させることなく研磨が進行する。したがって、研磨表面17を平坦に保って埋め込み配線16を形成することが可能になる。

【0017】このため、図3に示すように、埋め込み配線16の上面を含む絶縁層12上に成膜した層間絶縁層31の表面が平面形状になる。そして、この層間絶縁層31に溝パターン32とここでは図示しない埋め込み配線16を露出させるスルーホールとを形成した後、上記図1(2)、(3)に示した第2工程及び第3工程と同様にCMP法を用いて溝パターン32内に上層埋め込み配線33を形成した場合、層間絶縁層31の表面上の一部分に導電層が残ることはない。このため、上層埋め込み配線33間が導電層残りによってショートすることが防止される。したがって、埋め込み配線16及び上層埋め込み配線33で構成された多層配線構造の信頼性を確保することが可能になる。尚、上層埋め込み配線33が形成される溝パターン32内に、上記の図1(1)の第1工程で示したと同様に島パターンを形成することによって、さらに多層化が進んだ場合の多層配線の信頼性を確保できる。

【0018】以上のように、信頼性の高い埋め込み配線の形成が可能になることから、ドライエッチングによる加工では信頼性に課題があった銅配線をドライエッチングフリーな工程で形成することが可能になる。すなわち、R1Eのようなドライエッチングによる銅配線の形成では、基板温度を高温にする必要がある。しかし、基板温度を高温にすることによって、銅配線の下地となるバリアメタルが熱ストレスによる影響を受けて銅配線が

(4)

特開平9-8039

5

剥がれる場合があった。また、高温でのドライエッチングでは、エッチングガス成分である塩素と銅との化合物がチャンバ内壁に付着することによってエッチングレートが変動する場合があった。このように、ドライエッチングによる配線形成技術では、半導体装置への銅配線の適用は困難であった。しかし、上記のようにドライエッチングフリーな工程で銅配線を形成することを可能にしたことで、半導体装置への銅配線の適用を実用化することが可能になる。

【0019】次に示す図4は、埋め込み配線の第2実施例を示す要部断面図である。この埋め込み配線16は、上記第1実施例で示した埋め込み配線16の島パターン14の上面形状を $0.3\mu\text{m} \times 1.5\mu\text{m}$ のライン形状にしたものである。そして、この島パターン14は、溝パターン13の長手方向に対してその長辺が平行になるように配置され、短手方向に位置する各島パターン14間または島パターン14と溝パターン13の側壁との間が $d_1 = 1\mu\text{m}$ 以下の間隔に保たれるように配置される。尚、島パターン14の上面の縦横比及び上面積は限定されるものではない。また、島パターン14の配置間隔も、後の工程で行われる導電層の研磨量によって、溝パターン13内の導電層にディッシング現象による窪みが生じない間隔であれば、上記に限定される値ではない。

【0020】上記構成の埋め込み配線16は、埋め込み配線16の短手方向が島パターン14によって遮断された状態になっている。このことから、エレクトロマイグレーションやストレスマイグレーションによって埋め込み配線16にボイドが形成された場合に、このボイドが埋め込み配線16の短手方向を横断することが防止され、埋め込み配線16が断線することを防止できる。これによって、電流密度が高くなる太い配線の信頼性の向上を図ることが可能になる。

【0021】また、上記埋め込み配線16は、図1で示したと同様の手順で製造される。この際、埋め込み配線16の短手方向を遮断する島パターン14は、 $1\mu\text{m}$ 以

6

*下の間隔で配置されることから、上記第1実施例で形成した埋め込み配線と同様に、ディッシング現象を防止した化学的機械研磨によって形成されたものになる。

【0022】

【発明の効果】以上説明したように本発明の埋め込み配線の形成方法によれば、絶縁層の溝パターン内に島パターンを形成して当該溝パターンの部分的な開口幅を狭めることによって、絶縁層上の導電層を化学的機械研磨して溝パターン内に埋め込み配線を形成する際に埋め込み配線の表面にディッシング現象による窪みが形成されることを防止できる。したがって、研磨表面の平坦性が確保され、埋め込み配線を適用した多層配線の信頼性の向上を図ることが可能になる。

【0023】また、本発明の埋め込み配線によれば、絶縁層の溝パターン内に形成された埋め込み配線内に絶縁層の上面高さに達する島パターンを配置して溝パターンの部分的な開口幅を狭くすることで、当該埋め込み配線をディッシング現象を防止した化学的機械研磨によって形成したものにすることが可能になる。したがって、絶縁層及び埋め込み配線表面の平坦性を確保し、埋め込み配線を用いた多層配線の信頼性の向上を図ることが可能になる。

【図面の簡単な説明】

【図1】第1実施例を説明する第1図である。

【図2】配線幅とディッシング深さを示すグラフである。

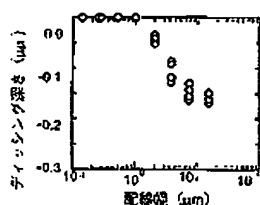
【図3】第1実施例を説明する第2図である。

【図4】第2実施例を説明する図である。

【符号の説明】

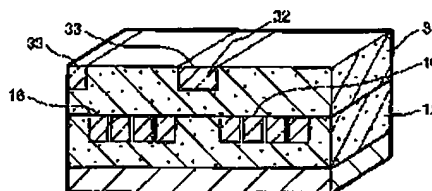
- 12 絶縁層
- 13 溝パターン
- 14 島パターン
- 15 導電層
- 16 埋め込み配線

【図2】



配線幅とディッシング深さを示すグラフ

【図3】

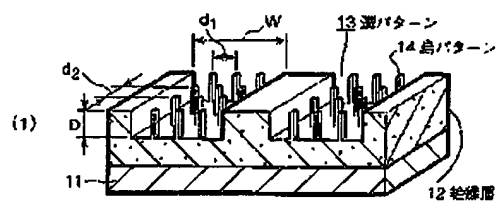


第1実施例を説明する第2図

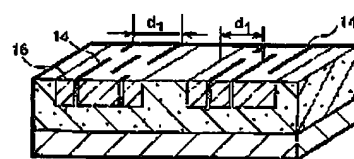
(5)

特開平9-8039

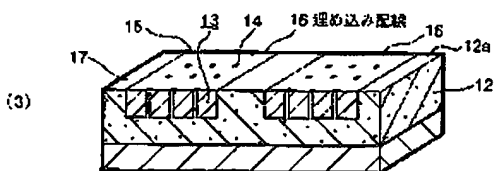
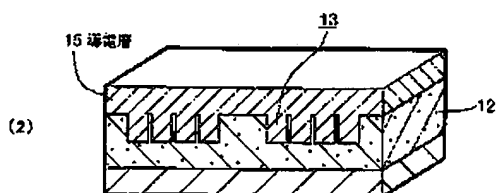
【図1】



【図4】



第2実施例を説明する図



第1実施例を説明する第1図

特開平9-8039

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平9-8039
 【公開日】平成9年1月10日(1997.1.10)
 【年号番号】公開特許公報9-81
 【出願番号】特願平7-158835
 【国際特許分類第7版】

H01L 21/3205
 21/304 321

【F I】

H01L 21/88 K
 21/304 321 S
 321 M
 21/88 B

【手続補正書】

【提出日】平成13年2月23日(2001.2.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 絶縁層に溝パターンを形成するとともに当該絶縁層からなり当該絶縁層とほぼ同じ高さに達する島パターンを当該溝パターン内に所定間隔で形成する工程と、

前記絶縁層上に導電層を成膜し、前記溝パターン内を埋め込む工程と、

前記絶縁層が露出するまで前記導電層を化学的機械研磨によって研磨し、前記溝パターン内に当該導電層からなる埋め込み配線を形成する工程と、
 を有することを特徴とする半導体装置の製造方法。

【請求項2】 溝パターンを備えた絶縁層と、当該溝パターン内に形成された埋め込み配線とを有する半導体装置において、
 前記埋め込み配線内には、前記溝パターンの底面から前記絶縁層の上面に達する高さを有する当該絶縁層からなる島パターンが所定間隔で配置されていることを特徴とする半導体装置。

【請求項3】 溝パターンを備えた絶縁層と、前記溝パターン内に形成された埋め込み配線とを有する半導体装置において、

前記溝パターン内には、前記溝パターンより所定間隔離

間して配置されるとともに、前記埋め込み配線の上面に露出する高さを有した絶縁材料より形成される島パターンが設けられていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、
 前記島パターンの高さは、略前記溝パターンの底面から前記絶縁層の上面に達する高さであることを特徴とする半導体装置。

【請求項5】 請求項3記載の半導体装置において、
 前記溝パターンには、互いに隣接する複数の前記島パターンが設けられていることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、
 前記隣接する複数の島パターン間の間隔は1μm以下であることを特徴とする半導体装置。

【請求項7】 溝パターンを備えた絶縁層と、前記溝パターン内に形成された埋め込み配線とを有する半導体装置において、

前記溝パターン内には、前記溝パターンより所定間隔離間して配置されるとともに、前記埋め込み配線の上面に露出する高さを有した絶縁材料より形成されるライン形状の島パターンが設けられていることを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置において、
 前記ライン形状の島パターンの高さは、略前記溝パターンの底面から前記絶縁層の上面に達する高さであることを特徴とする半導体装置。

【請求項9】 請求項7記載の半導体装置において、
 前記溝パターンには、互いに隣接する複数の前記ライン形状の島パターンが設けられており、前記複数のライン形状の島パターンは、それぞれ略平行に配置されていることを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置において、

- 補 1 -

特開平9-8039

前記隣接する複数のライン形状の島パターン間の間隔は1 μm 以下であることを特徴とする半導体装置。

【請求項11】 半導体基板と、

前記半導体基板上に形成される第1溝パターンを備えた第1絶縁層と、

前記第1溝パターン内に形成される第1埋め込み配線と、
前記第1溝パターンより所定間隔離間して配置されるとともに、前記第1埋め込み配線の上面に露出する高さを有した絶縁材料より形成される島パターンと、

前記第1絶縁層および前記第1埋め込み配線上に設けられ、第2溝パターンと前記第1埋め込み配線を露出させるスルーホールとを備えた第2絶縁層と、

前記スルーホールおよび前記第2溝パターン内に形成される第2埋め込み配線とを有することを特徴とする半導体装置。

【請求項12】 半導体基板と、

前記半導体基板上に形成される第1溝パターンを備えた第1絶縁層と、

前記第1溝パターン内に形成される第1埋め込み配線と、
前記第1溝パターンより所定間隔離間して配置されるとともに、前記第1埋め込み配線の上面に露出する高さを有した絶縁材料より形成されるライン形状の島パターンと、

前記第1絶縁層および前記第1埋め込み配線上に設けられ、第2溝パターンと前記第1埋め込み配線を露出させるスルーホールとを備えた第2絶縁層と、

前記スルーホールおよび前記第2溝パターン内に形成される第2埋め込み配線とを有することを特徴とする半導体装置。

【請求項13】 請求項11または請求項12いずれか記載の半導体装置において、

前記島パターンの高さは、略前記溝パターンの底面から前記絶縁層の上面に達する高さであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、埋め込み配線の形成方法及び埋め込み配線に関し、特に半導体装置に用いられる埋め込み配線の形成方法及び埋め込み配線に関する。

【0002】

【従来の技術】近年、半導体装置の製造工程では、化学的機械研磨（Chemical Mechanical Polishing:以下、CMPと記す）法を用いて埋め込み配線を形成する方法の開発が進められている。この方法では、まず、絶縁層に形成した溝パターン内を埋め込み状態で絶縁層上に導電層を成膜した後、CMP法によって絶縁層上面が露出するまで上記導電層を研磨する。この研磨によって、溝パターン内にのみ残った導電層を配線とする。この方法では、腐食性のエッチングガスを用いることなくかつ基板

温度を上昇させることなく導電層のパターニングを行うことができるため、配線の信頼性を向上させることが可能になると共に、近年配線材料として注目されている銅のパターン加工が容易になる。

【0003】

【発明が解決しようとする課題】しかし、上記半導体装置の製造方法では、CMP法における研磨の終点検出方法が確立されていないため、研磨時間を多めに設定して絶縁層上の導電層を完全に除去するようにしている。このため、絶縁層に形成した溝パターン内の導電層にまで研磨が達する。このように、溝パターン内にまで研磨が達した場合には、溝パターンの開口深部に依存して導電層の研磨が多く進むいわゆるディッシング現象が生じるため、埋め込み配線の上面に窪みが形成される。このディッシングによる窪みは、10 μm 以上の配線幅の埋め込み配線では150 nm以上の深さになる。したがって、研磨表面を平坦化することができない。

【0004】そして、例えば上記研磨表面上に層間絶縁膜を成膜すると、この層間絶縁膜の表面に研磨表面の窪み形状が現れる。このような表面形状の層間絶縁膜に、上記と同様の手順でCMP法を用いて上層埋め込み配線を形成すると、層間絶縁膜に形成した溝パターン内の他に上記窪み形状内にも導電層が残る。そして、溝パターン内の導電層すなわち上層埋め込み配線間に上記窪み形状が位置する場合、この窪み形状内に残った導電層によって上層埋め込み配線間がショートしてしまう。したがって、多層配線構造の信頼性を確保することが困難になる。

【0005】

【課題を解決するための手段】上記の課題を解決するための本発明の半導体装置の製造方法は、絶縁層に溝パターンを形成するとともに、当該絶縁層からなり当該絶縁層とはほぼ同じ高さに達する島パターンを当該溝パターン内に所定間隔で形成する。その後、絶縁層上に成膜した導電層を化学的機械研磨によって研磨して溝パターン内に導電層からなる埋め込み配線を形成することを特徴としている。

【0006】また、本発明の半導体装置は、溝パターンを備えた絶縁層と、この溝パターン内に形成された埋め込み配線とを有する半導体装置において、埋め込み配線内に、この溝パターンの底面から絶縁層の上面に達する高さを有する前記絶縁層からなる島パターンが所定間隔で配置されていることを特徴としている。

【0007】

【作用】上記半導体装置の製造方法では、絶縁層に溝パターンを形成する際に当該溝パターン内に当該絶縁層からなる島パターンを形成することによって、部分的な開口幅が狭い溝パターンが形成される。このため、絶縁層上の導電層を化学的機械研磨する際には、研磨が当該絶縁層にまで達した後に、開口幅が広い溝パターン内の導

特開平9-8039

電層が絶縁層よりも速く研磨されるディッシング現象が防止され、埋め込み配線の表面が平坦化される。

【0008】また、上記半導体装置では、絶縁層に設けられた埋め込み配線の内部に、溝パターンの底面から絶縁層の上面高さに達する島パターンが配置されていることから、溝パターンの部分的な開口幅が狭くなる。このため、当該埋め込み配線は、開口幅が広い溝パターン内の導電層が絶縁層よりも速く研磨されるディッシング現象を防止した化学的機械研磨によって形成されたものになる。

【0009】

【実施例】以下、本発明の実施例を図面に基いて説明する。図1(1)～(3)は、本発明の半導体装置の製造方法の一例を示す要部断面図であり、特に図1(3)は本発明の半導体装置の一例を示す要部断面図となっている。ここでは、先ず、これらの図を用いて、本発明の半導体装置の製造方法の第1実施例を説明する。

【0010】先ず、図1(1)に示す第1工程では、例えば、シリコンのような半導体からなる基板11上に絶縁層12を成膜する。この絶縁層12としては、酸化シリコン系の膜、窒化シリコン系の膜またはその他の絶縁性材料で構成される膜が用いられ、ここでは酸化シリコン膜を用いることとする。次いで、リソグラフィ法によって、ここでは図示しないレジストパターンを絶縁層12上に形成する。その後、このレジストパターンをマスクにしたエッチングによって、絶縁層12に溝パターン13を形成すると共に、溝パターン13内に絶縁層12からなる複数の島パターン14を残す。

【0011】上記溝パターン13は、パッド部分や配線部分を含む埋め込み配線形成用のものであり、例えば開口幅 $W=10\mu\text{m}$ 、深さ $D=0.35\mu\text{m}$ で形成する。そして、上記島パターン14は、例えば上面が $0.3\mu\text{m}\times0.3\mu\text{m}$ の広さの正方形であり、長手方向及び短手方向に隣接する島パターン14間及び溝パターン13の側壁との間に、所定間隔 d_1 、 d_2 で規則正しく配置される。

【0012】ここで図2には、上記溝パターン内の埋め込み配線と絶縁層とをCMP法によって研磨する際の、溝パターンの開口幅とディッシング現象によって溝パターン内の導電層表面に生じる窪みの深さとの関係を示す。このグラフから、溝パターンの開口幅が $1\mu\text{m}$ 以下の範囲では当該溝パターン内の埋め込み配線にはディッシング現象による窪みが生じないことがわかる。このため、図1(1)に示した各島パターン14間の間隔を d_1 、 $d_2=0.71\mu\text{m}$ に設定し、各島パターン14間が $1\mu\text{m}$ 以下になるようにする。但し、簡略化のため図面では溝パターン13の短手方向に3列の島パターンを配列した状態を示したが、短手方向には13列の島パターンが配列されることになる。尚、島パターン14の上面の形状及び上面積は限定されるものではない。また、

島パターン14の配置間隔も、後の工程で行われる導電層の研磨量によって、溝パターン13内の導電層にディッシング現象による窪みが生じない間隔であれば、上記に限定される値ではない。

【0013】次に、溝パターン13の内壁及び島パターン14の露出表面を含む絶縁層12の上面に、ここでは図示しない下地層を成膜する。この下地層は、次の工程で成膜する導電層と絶縁層12との密着層及び拡散防止層になる材質を用いることとし、上記導電層として例えば銅を用いる場合には、上記下地層には、例えばCVD法によって 30nm の膜厚に成膜した窒化チタン膜を用いる。

【0014】次に、図1(2)に示す第2工程では、溝パターン13内を埋め込む状態で、絶縁層12上に導電層15を成膜する。導電層15としては、アルミニウム、銅、不純物を拡散させたポリシリコン等が用いられ、ここでは銅を用いることとする。この場合、スパッタ法によって $0.4\mu\text{m}$ の膜厚で銅からなる導電層15を成膜した後、ここで用いたスパッタ装置内の真空度を破壊することなく 450°C の温度で30分間の熱処理を行う。これによって、導電層15を溝パターン13内にフローさせて当該導電層15の表面を平坦化する。

【0015】その後、図1(3)に示す第3工程では、絶縁層12の上面が露出するまでCMP法によって導電層15を上面から研磨する。ここでは、絶縁層12上面の導電層15及び上記下地層が完全に除去されるまで導電層15及び当該下地層を研磨して溝パターン13内のみ導電層15を残す。これによって、導電層15からなる埋め込み配線16が形成される。この埋め込み配線16は、溝パターン13の底面から絶縁層12の上面高さに達すると共に絶縁層12と同様の材質からなる島パターン14が所定間隔 d_1 、 d_2 で配置されたものになる。

【0016】上記方法では、島パターン14の配置間隔を上記のように設定したことによって、溝パターン13の部分的な開口幅が $1\mu\text{m}$ 以下になり、溝パターン13内の導電層15すなわち埋め込み配線16にディッシング現象を発生させることなく研磨が進行する。したがって、研磨表面17を平坦に保って埋め込み配線16を形成することが可能になる。

【0017】このため、図3に示すように、埋め込み配線16の上面を含む絶縁層12上に成膜した層間絶縁層31の表面が平面形状になる。そして、この層間絶縁層31に溝パターン32とここでは図示しない埋め込み配線16を露出させるスルーホールとを形成した後、上記図1(2)、(3)に示した第2工程及び第3工程と同様にCMP法を用いて溝パターン32内に上層埋め込み配線33を形成した場合、層間絶縁層31の表面上の一部分に導電層が残ることはない。このため、上層埋め込み配線33間が導電層残りによってショートすることが